

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 9月30日

出 願 番 号  
Application Number:

特願2002-287331

[ ST.10/C ]:

[ JP2002-287331 ]

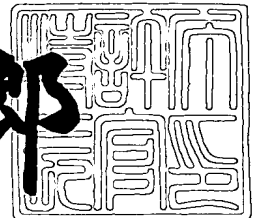
出 願 人  
Applicant(s):

NECエレクトロニクス株式会社

2003年 4月 8日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3024814

【書類名】 特許願

【整理番号】 74310410

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 采女 昌克

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリコントロール装置

【特許請求の範囲】

【請求項 1】 半導体記憶装置に接続されるメモリコントロール装置であって、

出力クロック信号を発生するクロック発生回路と、デジタルデータを発生するデータ記憶回路と、このデータ記憶回路から伝送される前記デジタルデータを前記半導体記憶装置に平行に出力する  $m$  (“ $m$ ” は所定の自然数) 個のデータ出力端子と、前記データ記憶回路から  $m$  個の前記データ出力端子まで平行に伝送される前記デジタルデータを前記出力クロック信号に同期して一時保持する  $m$  個の出力保持回路と、前記デジタルデータの出力に同期して伝送される出力ストローク信号を前記半導体記憶装置に出力する  $n$  (“ $n$ ” は “ $m$ ” より少数の所定の自然数) 個の信号出力端子と、前記出力クロック信号を所定周期だけ遅延させることで前記出力ストローク信号を生成して  $n$  個の前記信号出力端子に個々に伝送する  $n$  個の出力遅延回路と、を有しており、

$m$  個の前記データ出力端子ごとに  $m$  個の前記出力保持回路が個々に隣接されており、

$n$  個の前記信号出力端子ごとに  $n$  個の前記出力遅延回路が個々に隣接されているメモリコントロール装置。

【請求項 2】  $m$  個の前記データ出力端子が  $n$  個の前記信号出力端子とともに線状に配列されており、

$m$  個の前記出力保持回路が前記データ出力端子の線状の配列と平行な線状に配列されており、

$n$  個の前記出力遅延回路が前記データ出力端子の線状の配列と前記出力保持回路の線状の配列との中間の領域に配置されている請求項 1 に記載のメモリコントロール装置。

【請求項 3】 半導体記憶装置に接続されるメモリコントロール装置であって、

出力クロック信号を発生するクロック発生回路と、デジタルデータを発生する

データ記憶回路と、このデータ記憶回路から伝送される前記デジタルデータをパラレルに前記半導体記憶装置に出力する  $m$  個のデータ出力端子と、前記データ記憶回路から  $m$  個の前記データ出力端子までパラレルに伝送される前記デジタルデータを前記出力クロック信号に同期して一時保持する  $m$  個の出力保持回路と、前記デジタルデータの出力に同期して伝送される出力ストローク信号を前記半導体記憶装置に出力する  $n$  個の信号出力端子と、前記出力クロック信号を所定周期だけ遅延させることで前記出力ストローク信号を生成して  $n$  個の前記信号出力端子の  $a$  (“ $a$ ” は “ $n$ ” の約数) 個ずつに伝送する ( $n/a$ ) 個の出力遅延回路と、を有しており、

$m$  個の前記データ出力端子ごとに  $m$  個の前記出力保持回路が個々に隣接されており、

$n$  個の前記信号出力端子の  $a$  個ごとに ( $n/a$ ) 個の前記出力遅延回路が個々に隣接されているメモリコントロール装置。

【請求項 4】 半導体記憶装置に接続されるメモリコントロール装置であって、

出力クロック信号を発生するクロック発生回路と、デジタルデータを発生するデータ記憶回路と、このデータ記憶回路から伝送される前記デジタルデータをパラレルに前記半導体記憶装置に出力する  $m$  個のデータ出力端子と、前記データ記憶回路から  $m$  個の前記データ出力端子までパラレルに伝送される前記デジタルデータを前記出力クロック信号に同期して一時保持する  $m$  個の出力保持回路と、前記デジタルデータの出力に同期して伝送される出力ストローク信号を前記半導体記憶装置に出力する  $n$  個の信号出力端子と、前記出力クロック信号を所定周期だけ遅延させることで前記出力ストローク信号を生成して  $n$  個の前記信号出力端子の 2 個ずつに伝送する ( $n/2$ ) 個の出力遅延回路と、を有しており、

$m$  個の前記データ出力端子ごとに  $m$  個の前記出力保持回路が個々に隣接されており、

$n$  個の前記信号出力端子の 2 個ごとに ( $n/2$ ) 個の前記出力遅延回路が個々に隣接されているメモリコントロール装置。

【請求項 5】  $m$  個の前記データ出力端子が  $n$  個の前記信号出力端子とともに

に線状に配列されており、

m個の前記出力保持回路が前記データ出力端子の線状の配列と平行な線状に配列されており、

( $n/2$ )個の前記出力遅延回路が前記データ出力端子の線状の配列と前記出力保持回路の線状の配列との中間の領域に配置されている請求項4に記載のメモリコントロール装置。

【請求項6】 前記出力遅延回路の各々が前記出力ストロブ信号を伝送する2個の前記信号出力端子から等距離の位置に配置されている請求項3ないし5の何れか一項に記載のメモリコントロール装置。

【請求項7】 半導体記憶装置に接続されるメモリコントロール装置であって、

前記半導体記憶装置からデジタルデータが入力されるm個のデータ入力端子と、前記半導体記憶装置から前記デジタルデータに同期した入力クロック信号が入力されるn個の信号入力端子と、前記データ入力端子から前記デジタルデータが伝送されるデータ記憶回路と、n個の前記信号入力端子から個々に伝送される入力クロック信号を所定周期だけ遅延させて入力ストロブ信号を生成するn個の入力遅延回路と、m個の前記データ入力端子から前記データ記憶回路まで伝送される前記デジタルデータをn個の前記入力遅延回路から分配されて伝送される前記入力ストロブ信号に同期して一時保持するm個の入力保持回路と、を有しており、

前記入力遅延回路が前記入力ストロブ信号を出力する位置と前記信号入力端子との中間の位置に前記入力保持回路が配置されているメモリコントロール装置。

【請求項8】 半導体記憶装置に接続されるメモリコントロール装置であって、

前記半導体記憶装置からデジタルデータが入力されるm個のデータ入力端子と、

前記半導体記憶装置から前記デジタルデータに同期した入力クロック信号が入力されるn個の信号入力端子と、

前記データ入力端子から前記デジタルデータが伝送されるデータ記憶回路と、  
 $n$  個の前記信号入力端子から個々に伝送される入力クロック信号を所定周期だけ遅延させて入力ストローク信号を生成する  $n$  個の入力遅延回路と、  
 $m$  個の前記データ入力端子から前記データ記憶回路まで伝送される前記デジタルデータを  $n$  個の前記入力遅延回路から分配されて伝送される前記入力ストローク信号に同期して一時保持する  $m$  個の入力保持回路と、  
 $m$  個の前記データ入力端子から  $m$  個の前記入力保持回路まで前記デジタルデータを個々に伝送する  $m$  個のデータ入力配線と、  
 このデータ入力配線と等長に形成されていて  $n$  個の前記入力遅延回路から  $m$  個の前記入力保持回路まで前記入力ストローク信号を個々に伝送する  $m$  個の信号入力配線と、  
 を有しているメモリコントロール装置。

【請求項 9】 半導体記憶装置に接続されるメモリコントロール装置であって、

前記半導体記憶装置からデジタルデータが入力される  $m$  個のデータ入力端子と、前記半導体記憶装置から前記デジタルデータに同期した入力クロック信号が入力される  $n$  個の信号入力端子と、  $n$  個の前記信号入力端子から個々に伝送される入力クロック信号を所定周期だけ遅延させて入力ストローク信号を生成する  $n$  個の入力遅延回路と、  $m$  個の前記データ入力端子から前記データ記憶回路まで伝送される前記デジタルデータを  $n$  個の前記入力遅延回路から分配されて伝送される前記入力ストローク信号に同期して一時保持する  $m$  個の入力保持回路と、を有しており、

データ記憶回路に前記データ入力端子から前記デジタルデータが伝送され、前記入力遅延回路が前記入力ストローク信号を出力する位置と前記信号入力端子との中間の位置に前記入力保持回路が配置されている請求項 1 ないし 6 の何れか一項に記載のメモリコントロール装置。

【請求項 10】 半導体記憶装置に接続されるメモリコントロール装置であって、

前記データ記憶回路まで伝送されるデジタルデータが前記半導体記憶装置から

入力される  $m$  個のデータ入力端子と、

前記半導体記憶装置から前記デジタルデータに同期した入力クロック信号が入力される  $n$  個の信号入力端子と、

$n$  個の前記信号入力端子から個々に伝送される入力クロック信号を所定周期だけ遅延させて入力ストローク信号を生成する  $n$  個の入力遅延回路と、

$m$  個の前記データ入力端子から前記データ記憶回路まで伝送されるデジタルデータを  $n$  個の前記入力遅延回路から分配されて伝送される前記入力ストローク信号に同期して一時保持する  $m$  個の入力保持回路と、

$m$  個の前記データ入力端子から  $m$  個の前記入力保持回路まで前記デジタルデータを個々に伝送する  $m$  個のデータ入力配線と、

このデータ入力配線と等長に形成されていて  $n$  個の前記入力遅延回路から  $m$  個の前記入力保持回路まで前記入力ストローク信号を個々に伝送する  $m$  個の信号入力配線と、

を有している請求項 1 ないし 6 の何れか一項に記載のメモリコントロール装置。

【請求項 1 1】 前記データ入力端子と前記データ出力端子とが一体化されており、

前記信号入力端子と前記信号出力端子とが一体化されている請求項 9 または 10 に記載のメモリコントロール装置。

【請求項 1 2】 前記出力保持回路は、一時保持した前記デジタルデータを前記出力クロック信号の立ち上がりと立ち下がりとの両方に同期して前記データ出力端子に伝送する請求項 1 ないし 6 または 9 ないし 11 の何れか一項に記載のメモリコントロール装置。

【請求項 1 3】 前記入力保持回路は、一時保持した前記デジタルデータを前記入力ストローク信号の立ち上がりと立ち下がりとの両方に同期して前記データ記憶回路に伝送する請求項 7 ないし 12 の何れか一項に記載のメモリコントロール装置。

【請求項 1 4】 請求項 1 ないし 10 の何れか一項に記載のメモリコントロール装置と、

このメモリコントロール装置に接続されている前記半導体記憶装置と、



を有しているデータ処理装置。

【請求項 1 5】 半導体記憶装置との間でデータの授受を行ない、回路コア領域と、回路コア領域を囲むように設けられたインターフェイス領域と、を備えたメモリコントロール装置であって、

前記インターフェイス領域に配置された複数のデータ入出端子及び信号入出端子と、

前記複数のデータ入出端子に対応して設けられ、前記インターフェイス領域に配置されると共に前記複数のデータ入出端子と第 1 の配線によって接続され、前記複数のデータ入出端子に前記半導体記憶装置から供給されたデータをストロープ信号に応答して保持する複数のラッチ回路と、

前記インターフェイス領域に配置されると共に前記信号入出端子と第 2 の配線によって接続され、前記信号入出端子に前記半導体記憶装置から供給された信号を遅延して前記ストロープ信号を生成し、第 3 の配線を介して前記ストロープ信号を前記ラッチ回路に供給する遅延回路とを備え、

前記第 1 の配線の配線長と前記第 2 及び第 3 の配線長の和とが同一となるように前記複数のラッチ回路が配置されていることを特徴とするメモリコントロール装置。

【請求項 1 6】 前記複数のラッチ回路は、前記複数のデータ入出端子に対して平行に配置されていることを特徴とする請求項 1 5 記載のメモリコントロール装置。

【請求項 1 7】 半導体記憶装置との間でデータの授受を行ない、回路コア領域と、回路コア領域を囲むように設けられたインターフェイス領域と、を備えたメモリコントロール装置であって、

前記回路コア領域に配置されクロック信号を発生するクロック発生回路と、

前記インターフェイス領域に配置された複数のデータ入出端子及び信号入出端子と、

前記複数のデータ入出端子に対応して設けられ、前記インターフェイス領域に配置されると共に対応する前記複数のデータ入出端子と接続され、前記複数のデータ入出端子に回路コア領域から供給されたデータを前記クロック信号に応答し

て供給するラッチ回路と、

前記インターフェイス領域に配置され、前記クロック信号を遅延したストローク信号を生成して前記信号入出端子に供給する遅延回路とを備えることを特徴とするメモリコントロール装置。

【請求項 1 8】 半導体記憶装置との間でデータの授受を行ない、回路コア領域と、回路コア領域を囲むように設けられたインターフェイス領域と、を備えたメモリコントロール装置であって、

前記回路コア領域に配置されクロック信号を発生するクロック発生回路と、

前記インターフェイス領域に配置された複数のデータ入出端子及び信号入出端子と、

前記複数のデータ入出端子に対応して設けられ、前記インターフェイス領域に配置されると共に対応する前記複数のデータ入出端子と接続され、前記複数のデータ入出端子に前記回路コア領域から供給されたデータを前記クロック信号にตอบสนองして出力する第 1 のラッチ回路と、

前記インターフェイス領域に配置され、前記クロック信号を遅延した第 1 のストローク信号を生成して前記信号入出端子に供給する遅延回路と、

前記複数のデータ入出端子に対応して設けられ、前記インターフェイス領域に配置されると共に前記複数のデータ入出端子と第 1 の配線によって接続され、前記複数のデータ入出端子に前記半導体記憶装置から供給されたデータを第 2 のストローク信号にตอบสนองして保持する複数の第 2 のラッチ回路と、

前記インターフェイス領域に配置されると共に前記信号入出端子と第 2 の配線によって接続され、前記信号入出端子に前記半導体記憶装置から供給された信号を遅延して前記第 2 のストローク信号を生成し、第 3 の配線を介して前記第 2 のストローク信号を複数の前記第 2 のラッチ回路に供給する第 2 の遅延回路とを備え、

前記第 1 の配線の配線長と前記第 2 及び第 3 の配線長の和とが同一となるように複数の前記第 2 のラッチ回路が配置されていることを特徴とするメモリコントロール装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置に対してデジタルデータを入出力するメモリコントロール装置に関し、特に、デジタルデータの入出力がストローク信号に同期して実行されるメモリコントロール装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、マイクロプロセッサの処理能力が向上し、半導体記憶装置の動作速度がマイクロプロセッサ及び半導体記憶装置を含む処理システムの処理速度のネックとなっている。この高速化された半導体記憶装置に、DDR(Double Data Rate) - SDRAM(Synchronous Dynamic Random Access Memory)がある。

【 0 0 0 3 】

SDRAMは、クロック信号に同期してデジタルデータを入出力するが、さらに、DDR - SDRAMでは、デジタルデータの入出力をクロック信号の立ち上がりと立ち下がりとの両方に同期させることで、その動作を高速化している。

【 0 0 0 4 】

このような、DDR - SDRAMとマイクロプロセッサとの間のデータ転送は、メモリコントロール装置を介して行なわれている(例えば、特許文献1参照)。

【 0 0 0 5 】

【特許文献1】

特開平2001-331365号公報

DDR - SDRAMにメモリコントロール装置を介してデータを書き込む場合に、DDR - SDRAMは、メモリコントロール装置からクロック信号に同期して出力されたデータを、メモリコントロール装置から出力されたストローク信号のエッジに応答して取り込む。そのため、メモリコントロール装置は、図12に示すように、クロック信号を遅延させてストローク信号を生成し、当該ストローク信号とデータと出力する必要がある。

【 0 0 0 6 】

また、DDR - SDRAMからメモリコントロール装置を介してデータを読み

出す場合に、DDR-SDRAMは、メモリコントロール装置へクロック信号に同期したデータと、当該クロック信号とを出力する。そのため、メモリコントロール装置は、DDR-SDRAMにデータを書き込む場合と同様に、図12に示すように、データを取り込むためにDDR-SDRAMが出力したクロック信号を遅延してストロブ信号を生成し、当該ストロブ信号に応答してデータを取り込む必要がある。

#### 【0007】

このような、メモリコントロール装置200の内部構成について説明する。なお、説明を簡単にするため、DDR-SDRAMにメモリコントロール装置を介してデータを書き込む場合に使用されるブロックを図10に、DDR-SDRAMからメモリコントロール装置を介してデータを読み出す場合に使用されるブロックを図11に分けて、別々に説明をする。なお、メモリコントロール装置200は、回路コア領域202及び回路コア領域の周囲に設けられたインターフェイス領域203とを有し、回路コア領域202には、データ記憶回路211、クロック発生回路212、出力遅延回路213が形成され、インターフェイス領域203には、データ入出端子215、信号入出端子216、初段フリップフロップ（初段FF）、終段フリップフロップ（終段FF）218、入力遅延回路219、データ遅延回路220が形成されているものとする。

#### 【0008】

ここで、メモリコントロール装置200の構成要素について、簡単に説明する。

#### 【0009】

データ記憶回路211は、例えば、キャッシュレジスタからなり、データ入出端子215から入出力されるデジタルデータを記憶する。クロック発生回路212は、PLL(Phase Locked Loop)回路からなり、クロック信号を発生・出力する。出力遅延回路は、クロック発生回路212からのクロック信号を受け、クロック信号を所定量、例えば1/4周期、遅延した遅延クロック信号を出力する。信号入出端子216は、所定のビット数、例えば8ビット、のデータ入出端子215毎に設けられ、メモリコントローラからDDR-SDRAMへデータを出力

する時には遅延クロック信号を受け、DDR-SDRAMからメモリコントローラがデータを受け取る時には、DDR-SDRAMからのクロック信号を受ける。初段FF217は、データ入出端子215に供給されたデータ信号を遅延回路220を介して受け取り、入力遅延回路219からのストロブ信号に応答してデータ信号を取りこむ。終段FF218は、データ記憶回路211からのデータをクロック発生回路21からのクロック信号に応答して取りこみ、信号線225を介してデータ入出端子215に供給する。入力遅延回路219は、信号入出端子にDDR-SDRAMから供給されたクロック信号を遅延しストロブ信号を生成する。データ遅延回路220は、データ入出端子に供給されたデータを配線222を介して受け取り所定時間遅延した後配線223を介して初段FF217に供給する。

## 【0010】

次に、DDR-SDRAMにメモリコントロール装置を介してデータを書き込む場合について、図10を参照しながら説明する。

## 【0011】

メモリコントロール装置200は、データ記憶回路211に保持されたデータを終段FF218に保持し、配線225及び入出端子215を介してDDR-SDRAMに出力する。このとき、クロック発生回路212が発生するクロック信号をCTS (Clock Tree Synthesis) によってスキュー調整されたクロック信号が終段FF218のクロック端子に入力されるため、データ書き込みに使用される全ての終段FF218は同一のタイミングでデータを保持し、保持したデータをデータ入出端子に出力することができる。なお、複数の終段FF218と複数のデータ入出端子215との間の複数の配線225は全て等距離に設計されているものとする。

## 【0012】

ここで、メモリコントロール装置200は、DDR-SDRAMに対して、クロック信号を所定時間、たとえば1/4周期遅延したストロブ信号を出力しなければならないため、コア回路領域202内にクロック発生回路からのクロック信号を受け、当該クロック信号を遅延したストロブ信号を生成する出力遅延回

路を有している。ストローブ信号は、クロック信号と同様に C T S によりスキュー調整されて終段 F F 2 1 8 に供給され、信号入出端子 2 1 6 から D D R - S D R A M に供給される。

## 【 0 0 1 3 】

このようにして、メモリコントロール装置 2 0 0 からデータとストローブ信号が D D R - S D R A M に供給され、D D R - S D R A M はストローブ信号に応答してデータを取り込むことができる。

## 【 0 0 1 4 】

続いて、D D R - S D R A M からメモリコントロール装置を介してデータを読み出す場合について、図 1 1 を参照しながら説明する。

## 【 0 0 1 5 】

メモリコントロール装置 2 0 0 は、D D R - S R A M から出力されたデータ及びクロック信号を、データ入出端子 2 1 5 及び信号入出端子 2 1 6 を介して受け取る。データ入出端子 2 1 5 に入力されたデータは、配線 2 2 1 1 を介してデータ遅延回路 2 2 0 に供給され、S k e w 調整された後に配線 2 2 1 2 を介して初段 F F 2 1 7 に供給される。信号入出端子 2 1 6 に入力されたクロック信号は、配線 2 2 2 を介して入力遅延回路 2 1 9 に供給され、入力遅延回路 2 1 9 によって、例えば  $1/4$  周期遅延したストローブ信号を配線 2 2 3 を介して初段 F F 2 1 7 のクロック端子に供給する。初段 F F 2 1 7 は、入力遅延回路 2 1 9 からのストローブ信号に応答してデータ遅延回路 2 2 0 を介して供給されたデータをラッチする。

## 【 0 0 1 6 】

ここで、データ遅延回路 2 2 0 は、入力遅延回路 2 1 9 の出力端 O U T から各初段 F F 2 1 7 のクロック端子までの距離が異なることによるタイミングずれを調整するために設けられ、各初段 F F 2 1 7 に対応して設けられると共に、それぞれ別個に遅延量を設定されスキュー調整が行なわれる。

## 【 0 0 1 7 】

このようにして、D D R - S D R A M からデータ及びクロック信号がメモリコントロール装置 2 0 0 に供給され、メモリコントロール装置 2 0 0 はクロック信

号を遅延したストロブ信号に応答して、データ遅延回路 2 2 0 により遅延されたデータを取り込むことができる。

#### 【 0 0 1 8 】

##### 【発明が解決しようとする課題】

しかしながら、図 1 0 に示されたメモリコントロール装置では、データを同期させるクロック信号を発生するクロック発生回路 2 1 2 と、クロック信号を遅延させたストロブ信号を生成する出力遅延回路とが、回路コア領域 2 0 2 に設けられ、クロック信号とストロブ信号とがそれぞれ C T S を用いてインターフェイス領域 2 0 3 の終段 F F 2 1 8 を介してデータ入出端子 2 1 8 及び信号入出端子 2 1 6 に供給されている。

#### 【 0 0 1 9 】

このとき、クロック信号とストロブ信号とは信号の発生源が異なっているために、別々に C T S が適用され、クロック信号とストロブ信号との間のスキューについては別途合わせる必要があり、単独での C T S に比較して、これら信号間のスキューが悪化する問題がある。また、クロック信号とストロブ信号という複数の信号に対して C T S を適用することにより、複数のクロックツリーをインターフェイス領域に張り巡らすことになり、チップ面積の増大と設計自由度の低下とが発生する。

#### 【 0 0 2 0 】

さらに、図 1 1 に示されたメモリコントロール装置では、入力遅延回路 2 1 9 の出力から各初段 F F 2 1 7 までの配線長が異なるため、データ遅延回路 2 2 0 を各初段 F F 2 1 7 に対応して設ける必要があるため回路構成が大きくなると共に、各データ遅延回路 2 2 0 に対してそれぞれ遅延量を設定するという大きな工数がかかる。そのため、チップ面積が増大し、チップ作成にかかる時間が増加するという問題が発生する。

#### 【 0 0 2 1 】

したがって、本発明では、チップ面積及び作成時間を増大させることなく、D D R - S D R A M との間のデータ授受を確実に行うことができるメモリコントロール装置を提供することを目的とする。

## 【 0 0 2 2 】

## 【課題を解決するための手段】

本発明の第1のメモリコントロール装置は、データ記憶回路、クロック発生回路、 $m$ 個のデータ出力端子、 $m$ 個の出力保持回路、 $n$ 個の信号出力端子、 $n$ 個の出力遅延回路、を有しており、データ記憶回路が発生するデジタルデータを出カストロブ信号とともに出力する。

## 【 0 0 2 3 】

その場合、クロック発生回路は、出力クロック信号を発生し、 $m$ 個の出力保持回路は、データ記憶回路から $m$ 個のデータ出力端子まで平行に伝送されるデジタルデータを出カクロック信号に同期して一時保持するので、この $m$ 個のデータ出力端子は、データ記憶回路から出力保持回路を介して伝送されるデジタルデータを半導体記憶回路に平行に出力する。同時に、 $n$ 個の出力遅延回路は、出力クロック信号を所定周期だけ遅延させることで出力ストロブ信号を生成して $n$ 個の信号出力端子に個々に伝送し、この $n$ 個の信号出力端子は、伝送される出力ストロブ信号を半導体記憶回路に出力するので、これでデジタルデータと出力ストロブ信号とが半導体記憶回路に出力される。

## 【 0 0 2 4 】

ただし、 $m$ 個のデータ出力端子ごとに $m$ 個の出力保持回路が個々に隣接されており、 $n$ 個の信号出力端子ごとに $n$ 個の出力遅延回路が個々に隣接されている。このため、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストロブ信号との遅延を同等とすることができる。

## 【 0 0 2 5 】

本発明の第2のメモリコントロール装置では、 $(n/a)$ 個の出力遅延回路が、出力クロック信号を所定周期だけ遅延させることで出力ストロブ信号を生成して $n$ 個の信号出力端子の $a$ 個ずつに伝送するが、 $n$ 個の信号出力端子の $a$ 個ごとに $(n/a)$ 個の出力遅延回路が個々に隣接されている。このため、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長



とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストローブ信号との遅延を同等とすることができる。

## 【 0 0 2 6 】

本発明の第 3 のメモリコントロール装置では、 $(n/2)$  個の出力遅延回路が、出力クロック信号を所定周期だけ遅延させることで出力ストローブ信号を生成して  $n$  個の信号出力端子の 2 個ずつに伝送するが、 $n$  個の信号出力端子の 2 個ごとに  $(n/2)$  個の出力遅延回路が個々に隣接されている。このため、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストローブ信号との遅延を同等とすることができる。

## 【 0 0 2 7 】

本発明の第 4 のメモリコントロール装置は、データ記憶回路、 $m$  個のデータ入力端子、 $n$  個の信号入力端子、 $n$  個の入力遅延回路、 $m$  個の入力保持回路、を有しており、半導体記憶回路から入力ストローブ信号とともに入力されるデジタルデータをデータ記憶回路で取得する。

## 【 0 0 2 8 】

その場合、 $m$  個のデータ入力端子は、半導体記憶回路からデジタルデータが入力され、 $n$  個の信号入力端子は、半導体記憶回路からデジタルデータに同期した入力クロック信号が入力される。デジタルデータは、 $m$  個のデータ入力端子から  $m$  個の入力保持回路まで個々に伝送され、入力ストローブ信号は、 $n$  個の入力遅延回路から  $m$  個の入力保持回路まで個々に伝送される。 $n$  個の入力遅延回路は、 $n$  個の信号入力端子から個々に伝送される入力クロック信号を所定周期だけ遅延させて入力ストローブ信号を生成し、 $m$  個の入力保持回路は、 $m$  個のデータ入力端子からデータ記憶回路まで伝送されるデジタルデータを  $n$  個の入力遅延回路から分配されて伝送される入力ストローブ信号に同期して一時保持するので、これで入力ストローブ信号とともに入力されるデジタルデータがデータ記憶回路で記憶される。

## 【 0 0 2 9 】

ただし、入力遅延回路が入力ストロブ信号を出力する位置と信号入力端子との中間の位置に入力保持回路が配置されているので、データ入力端子から入力保持回路まで伝送されるデジタルデータと入力遅延回路から入力保持回路まで伝送される入力ストロブ信号との遅延が同等である。

## 【 0 0 3 0 】

本発明の第 5 のメモリコントロール装置は、データ記憶回路、 $m$  個のデータ入力端子、 $n$  個の信号入力端子、 $n$  個の入力遅延回路、 $m$  個の入力保持回路、 $m$  個のデータ入力配線、 $m$  個の信号入力配線、を有しており、 $m$  個のデータ入力配線は、 $m$  個のデータ入力端子から  $m$  個の入力保持回路までデジタルデータを個々に伝送し、 $m$  個の信号入力配線は、 $n$  個の入力遅延回路から  $m$  個の入力保持回路まで入力ストロブ信号を個々に伝送する。

## 【 0 0 3 1 】

ただし、 $m$  個のデータ入力配線と  $m$  個の信号入力配線とが等長に形成されているので、データ入力端子から入力保持回路まで伝送されるデジタルデータと入力遅延回路から入力保持回路まで伝送される入力ストロブ信号との遅延が同等である。

## 【 0 0 3 2 】

なお、本発明で云う各種の構成要素は、かならずしも個々に独立した存在である必要はなく、複数の構成要素が 1 個の部材として形成されていること、ある構成要素が他の構成要素の一部であること、ある構成要素の一部と他の構成要素の一部とが重複していること、等も可能である。

## 【 0 0 3 3 】

また、本発明で云う出力クロック信号とは、出力ストロブ信号を生成するためにデジタルデータと同期して出力される信号であり、これとは別個にシステムクロック信号などが出力されることが可能である。同様に、入力クロック信号とは、入力ストロブ信号を生成するためにデジタルデータと同期して入力される信号であり、これとは別個にシステムクロック信号などが入力されることが可能である。

## 【 0 0 3 4 】

## 【 発明の実施の形態 】

## 〔 実施の形態の構成 〕

本発明の実施の一形態を図面を参照して以下に説明する。本実施の形態のデータ処理装置(図示せず)は、メモリコントロール装置 1 0 0 と半導体記憶装置である DDR-SDRAM(図示せず)からなり、この DDR-SDRAM とメモリコントロール装置 1 0 0 とが接続されている。

## 【 0 0 3 5 】

このメモリコントロール装置 1 0 0 では、図 3 に示すように、矩形の回路基板 1 0 1 の中央に回路コア 1 0 2 が形成されており、この回路コア 1 0 2 以外の周辺部分にインターフェイス領域 1 0 3 が形成されている。回路コア 1 0 2 は、内部ロジック領域からなり、データ記憶回路 1 2 1、クロック発生回路 1 2 2、遅延調整回路 1 2 3、等が形成されている。

## 【 0 0 3 6 】

回路コア 1 0 2 のデータ記憶回路 1 2 1 は、例えば、キャッシュレジスタからなり、デジタルデータを更新自在に記憶する。クロック発生回路 1 2 2 は、PLL (Phase Locked Loop) 回路からなる。

## 【 0 0 3 7 】

インターフェイス領域 1 0 3 は、回路コア 1 0 2 と DDR-SDRAM との通信を仲介する各種回路からなり、データ入出端子 1 0 5、信号入出端子 1 0 6、初段 FF 1 0 7、終段 FF 1 0 8、入力遅延回路 1 1 1、出力遅延回路 1 1 2、が配置されている。

## 【 0 0 3 8 】

より具体的には、矩形の回路基板 1 0 1 の四辺の近傍には、図 1 ないし図 3 に示すように、データ入力端子およびデータ出力端子を兼用した m 個のデータ入出端子 1 0 5 と、信号入力端子および信号出力端子を兼用した n 個の信号入出端子 1 0 6 とが、線状に配列されている。

## 【 0 0 3 9 】

本形態のメモリコントロール装置 1 0 0 は、8 ビットを単位としてデジタルデ

ータを入出力するので、図 1 および図 2 に示すように、8 個のデータ入出端子 1 0 5 ごとに 1 個の信号入出端子 1 0 6 の割合で、m 個のデータ入出端子 1 0 5 と n 個の信号入出端子 1 0 6 とが配列されている。

#### 【 0 0 4 0 】

データ入出端子 1 0 5 は、回路コア 1 0 2 のデータ記憶回路 1 2 1 で取得されるデジタルデータが DDR-SDRAM から入力され、回路コア 1 0 2 のデータ記憶回路 1 2 1 が発生するデジタルデータを DDR-SDRAM に出力する。信号入出端子 1 0 6 は、後述する入力クロック信号が DDR-SDRAM から入力され、出力ストロブ信号を DDR-SDRAM に出力する。

#### 【 0 0 4 1 】

図 3 に示すように、このデータ入出端子 1 0 5 および信号入出端子 1 0 6 の線状の配列より内側で回路コア 1 0 2 より外側の位置には、入力保持回路である m 個の初段 FF 1 0 7 と出力保持回路である m 個の終段 FF 1 0 8 とが線状に配列されている。

#### 【 0 0 4 2 】

図 2 に示すように、m 個のデータ入出端子 1 0 5 と m 個の初段 FF 1 0 7 とは、m 個のデータ入力配線 1 0 9 で個々に結線されており、m 個のデータ入出端子 1 0 5 と m 個の終段 FF 1 0 8 とは、m 個のデータ出力配線 1 1 0 で個々に結線されている。

#### 【 0 0 4 3 】

初段 FF 1 0 7 は、データ入出端子 1 0 5 から入力されて回路コア 1 0 2 のデータ記憶回路 1 2 1 に取得されるデジタルデータを一時保持し、終段 FF 1 0 8 は、回路コア 1 0 2 のデータ記憶回路 1 2 1 が発生するデータ入出端子 1 0 5 から出力されるデジタルデータを一時保持する。

#### 【 0 0 4 4 】

なお、図 1 に示すように、m 個の終段 FF 1 0 8 は m 個のデータ入出端子 1 0 5 と個々に隣接する位置に配置されており、データ入出端子 1 0 5 と終段 FF 1 0 8 とは単純に直線状のデータ出力配線 1 1 0 で結線されている。しかし、詳細には後述するが、図 2 に示すように、m 個の初段 FF 1 0 7 は m 個のデータ入出

端子 1 0 5 と個々に隣接する位置には配置されておらず、データ入出端子 1 0 5 と初段 F F 1 0 7 とは、所定形状に形成されたデータ入力配線 1 0 9 で結線されている。

#### 【 0 0 4 5 】

本形態のメモリコントロール装置 1 0 0 では、図 1 に示すように、 $n$  個の信号入出端子 1 0 6 の 2 個ごとに  $(n/2)$  個の出力遅延回路 1 1 2 が隣接されており、図 3 に示すように、データ入出端子 1 0 5 および信号入出端子 1 0 6 の線状の配列と、初段 F F 1 0 7 および終段 F F 1 0 8 の線状の配列との中間の領域に、D L L などからなる  $n$  個の入力遅延回路 1 1 1 および  $(n/2)$  個の出力遅延回路 1 1 2 が配置されている。

#### 【 0 0 4 6 】

入力遅延回路 1 1 1 は、信号入出端子 1 0 6 に入力される入力クロック信号を  $1/4$  周期などの所定周期だけ遅延させて入力ストローブ信号を生成し、この入力ストローブ信号を初段 F F 1 0 7 に伝送する。出力遅延回路 1 1 2 は、回路コア 1 0 2 のクロック発生回路 1 2 2 から伝送される出力クロック信号を  $1/4$  周期などの所定周期だけ遅延させて出力ストローブ信号を生成し、この出力ストローブ信号を信号入出端子 1 0 6 に伝送する。

#### 【 0 0 4 7 】

なお、入力遅延回路 1 1 1 および出力遅延回路 1 1 2 には、回路コア 1 0 2 の遅延調整回路 1 2 3 が結線されており、この遅延調整回路 1 2 3 によりコントロール信号 “CONT1, CONT2” で遅延周期が設定される。

#### 【 0 0 4 8 】

本形態のメモリコントロール装置 1 0 0 では、図 1 に示すように、 $n$  個の出力遅延回路 1 1 2 が  $n$  個の信号入出端子 1 0 6 の 2 個ずつに  $n$  個の信号出力配線 1 1 5 で結線されているが、この信号出力配線 1 1 5 がデータ出力配線 1 1 0 と等長に形成されている。

#### 【 0 0 4 9 】

また、図 2 に示すように、 $n$  個の信号入出端子 1 0 6 と  $n$  個の入力遅延回路 1 1 1 とは  $n$  個の信号入力配線 1 1 7 で結線されており、 $n$  個の入力遅延回路 1 1

1 が m 個の初段 F F 1 0 7 の 8 個ずつに m 個の信号入力配線 1 1 8 で結線されている。

#### 【 0 0 5 0 】

ただし、初段 F F 1 0 7 は、入力遅延回路 1 1 1 が入力ストロブ信号を出力する位置とデータ入出端子 1 0 5 との中間の位置に配置されているので、信号入力配線 1 1 7, 1 1 8 の合計とデータ入力配線 1 0 9 とは、接続されている初段 F F 1 0 7 ごとに等長に形成されている。

#### 【 0 0 5 1 】

なお、図 2 では図示を簡単とするため、初段 F F 1 0 7 を 4 個ずつのブロックとして配置しているが、図 4 に示すように、実際には入力遅延回路 1 1 1 が入力ストロブ信号を出力する位置とデータ入出端子 1 0 5 との中間の位置に個々に配置されている。

#### 【 0 0 5 2 】

また、本形態のメモリコントロール装置 1 0 0 では、信号入力配線 1 1 8 の入力遅延回路 1 1 1 から所定位置 1 3 1 までの配線長と、データ入力配線 1 0 9 の縦方向での配線長とが同等に形成されているので、図 2 に示すように、初段 F F 1 0 7 ごとに信号入力配線 1 1 8 とデータ入力配線 1 0 9 との横方向の配線長が “ $L_1 = L_2, L_3 = L_4, \dots$ ” のように同等とされている。

#### 【 0 0 5 3 】

ここで、データ入出端子及び信号入出端子の位置はチップによって固定となっているため、設計により位置を変更することができる遅延回路と F F の配置について説明する。

#### 【 0 0 5 4 】

まず最初に、データ出力時の出力遅延回路 1 1 2 と終段 F F 1 0 8 の配置について説明する。図 1 に示すように、出力遅延回路 1 1 2 は、出力遅延回路 1 1 2 の出力端の位置が、隣り合う信号入出端子 1 0 6 の縦方向（Y 方向）の中間となる位置に配置される。また、終段 F F 1 0 8 は、データ入出端子 1 0 5 に対応してデータ入出端子 1 0 5 と等距離になるように配置される。このとき、終段 F F 1 0 8 から入出端子までの配線長と、出力遅延回路 1 1 2 の出力端子から信号入

出端子 1 0 6 までの配線長は略同一とされる。なお、出力遅延回路 1 1 2 の出力端子から信号入出端子 1 0 6 までの配線 1 1 5 の縦方向の距離の *s k e w* が設計値の範囲にあれば、出力遅延回路 1 1 2 の出力端子から信号入出端子 1 0 6 までの距離は同一でなくともよいが、設計の自由度を確保するため同一であることが望ましい。

#### 【 0 0 5 5 】

このとき、出力遅延回路 1 1 2 と終段 F F 1 0 8 に供給されるクロック信号の位相は C T S により同一になるように制御されているため実質的に *s k e w* は無くなる。したがって、出力遅延回路 1 2 2 の遅延時間のみをコントロール信号 C O N T 1 によって調整することにより、例えばデータ信号（クロック信号に同期している）に対して 1 / 4 周期ずれたストローブ信号を精度良く生成することが可能となる。

#### 【 0 0 5 6 】

次に、データ入力時のと F F の配置について説明する。図 2 に示すように、入力遅延回路 1 1 1 の入力端子を信号入出端子 1 0 6 の位置と合わせ入力遅延回路 1 1 1 の位置を決める。続いて、初段 F F 1 0 7 を対応するデータ入出端子 1 0 5 と D L L の出力端子との距離が同一となる位置に配置する。このように配置することによって、データ入出端子 1 0 5 から初段 F F 1 0 7 までの横方向（X 方向）の配線長と信号入出端子 1 0 6 から初段 F F 1 0 7 までの横方向の配線長は略同一となり、入力遅延回路 1 1 1 の出力端子から初段 F F 1 0 7 までの縦方向の配線長とデータ入出端子 1 0 5 から初段 F F 1 0 7 までの縦方向（Y 方向）の配線長とは同一になる。したがって、配線の *s k e w* をなくすことができ、入力遅延回路 1 1 1 によってストローブ信号から *s k e w* を含まない精度の高い位相ずれクロック信号を生成することができる。なお、入力遅延回路 1 1 1 の遅延時間はコントロール信号 C O N T 2 によって、例えば、1 / 4 周期に制御される。また、初段 F F 1 0 7 を、データ入出端子 1 0 5 に対して平行になるように配置し、横方向（X 方向）に F F をずらすことなく、縦方向（Y 方向）にのみ F F をずらすことによって配線長を調整することにより、縦方向のみを変数として扱えば良くなるため設計が容易になる。

## 【0057】

## 〔実施の形態の動作〕

上述のような構成において、本実施の形態のメモリコントロール装置100は、DDR-SDRAMから入力クロック信号とともに入力されるデジタルデータを回路コア102のデータ記憶回路121で取得することができ、回路コア102のデータ記憶回路121が発生するデジタルデータを出力ストローク信号とともにDDR-SDRAMに出力することができる。

## 【0058】

より詳細には、本実施の形態のメモリコントロール装置100がDDR-SDRAMからデジタルデータを取得する場合、m個のデータ入出端子105にデジタルデータが平行に入力されるとともに、このデジタルデータに同期した入力クロック信号がn個の信号入出端子106に平行に入力される。

## 【0059】

m個のデータ入出端子105に入力されたデジタルデータは、m個のデータ入力配線109によりm個の初段FF107まで個々に伝送され、n個の信号入出端子106に入力された入力クロック信号は、n個の信号入力配線117によりn個の入力遅延回路111まで個々に伝送される。

## 【0060】

この入力遅延回路111は、図12に示すように、入力クロック信号を所定周期だけ遅延させて入力ストローク信号を生成するので、この入力ストローク信号は、信号入力配線118によりm個の初段FF107まで伝送される。これらの初段FF107は、ストローク信号に同期したタイミングでデジタルデータを一時保持するので、この初段FF107に一時保持されたデジタルデータが回路コア102のデータ記憶回路121に取得される。

## 【0061】

また、本実施の形態のメモリコントロール装置100がDDR-SDRAMにデジタルデータを出力する場合は、回路コア102のクロック発生回路122が出力クロック信号を発生するので、この出力クロック信号がm個の終段FF108とn個の出力遅延回路112とに伝送される。なお、このように終段FF10



8と出力遅延回路112とに伝送される出力クロック信号は、CTSによりスキュー調整されている。

#### 【0062】

そこで、m個の終段FF108は、データ記憶回路121が発生するデジタルデータを出力クロック信号に同期して一時保持するので、これでm個のデータ入出端子105からデジタルデータが出力クロック信号に同期してDDR-SDRAMに出力されることになる。

#### 【0063】

このとき、出力遅延回路112は出力クロック信号を所定周期だけ遅延させて出力ストローク信号を生成し、この出力ストローク信号を信号入出端子106から出力するので、DDR-SDRAMは、出力ストローク信号に同期してデジタルデータを記憶することができる。

#### 【0064】

##### 〔実施の形態の効果〕

本形態のメモリコントロール装置100では、上述のようにDDR-SDRAMにデジタルデータを出力するとき、データ入出端子105から出力されるデジタルデータを終段FF108で出力クロック信号に同期して一時保持すると同時に、出力クロック信号に同期して出力遅延回路112から信号入出端子106に出力ストローク信号を伝送する。

#### 【0065】

そして、本形態のメモリコントロール装置100では、図1に示すように、n個の信号入出端子106の2個ごとに( $n/2$ )個の出力遅延回路112が隣接されており、n個の出力遅延回路112がデータ入出端子105の線状の配列と終段FF108の線状の配列との中間の領域に配置されている。

#### 【0066】

このため、終段FF108およびデータ入出端子105を結線するデータ出力配線110と、出力遅延回路112および信号入出端子106を結線する信号出力配線115とが等長であり、出力されるデジタルデータと出力ストローク信号とを正確に同期させることができる。

## 【 0 0 6 7 】

しかも、本形態のメモリコントロール装置 1 0 0 では、 $(n/2)$  個の出力遅延回路 1 1 2 が出力ストロブ信号を  $n$  個の信号入出端子 1 0 6 の 2 個ずつに伝送するので、出力遅延回路 1 1 2 の個数が半減されて回路規模が削減されている。

## 【 0 0 6 8 】

また、本形態のメモリコントロール装置 1 0 0 では、上述のように入力されるデジタルデータを取得するとき、入力クロック信号に同期して入力遅延回路 1 1 1 から初段 F F 1 0 7 に出力ストロブ信号を伝送し、この出力ストロブ信号に同期してデータ入出端子 1 0 5 のデジタルデータを初段 F F 1 0 7 で一時保持する。

## 【 0 0 6 9 】

そして、本形態のメモリコントロール装置 1 0 0 では、図 2 に示すように、 $m$  個のデータ入力配線 1 0 9 と  $m$  個の信号入力配線 1 1 7, 1 1 8 の合計とが等長に形成されているので、データ入出端子 1 0 5 から初段 F F 1 0 7 まで伝送されるデジタルデータと信号入力端子 1 0 6 から入力遅延回路 1 1 1 までと入力遅延回路 1 1 1 と初段 F F 1 0 7 までの遅延が同等であり、デジタルデータと入力ストロブ信号との間の *s k e w* をなくすることができる。

## 【 0 0 7 0 】

本形態のメモリコントロール装置 1 0 0 では、専用のデータ遅延回路などを必要とすることなく、DDR-SDRAM に出力するデジタルデータと出力ストロブ信号とを正確に同期させることができ、DDR-SDRAM から入力するデジタルデータと入力ストロブ信号も正確に同期させることができるので、その回路規模が削減されてチップ面積が縮小されており、その設計および製造も容易なので生産性も良好である。

## 【 0 0 7 1 】

## 【実施の形態の変形例】

本発明は本実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、本実施の形態では  $(n/2)$  個の出力遅延回路 1 1 2 と  $n$  個の信号入出端子 1 0 6 とを  $n$  個の信号出力配線 1 1 5 で結線するこ

とにより、回路規模を削減するとともに無駄なく信号出力配線 1 1 5 とデータ出力配線 1 1 0 とを等長とすることを例示したが、図 5 に示すように、 $n$  個の出力遅延回路 1 1 2 と  $n$  個の信号入出端子 1 0 6 とを  $n$  個の信号出力配線 1 1 5 で結線することも可能である。

#### 【 0 0 7 2 】

この場合、信号出力配線 1 1 5 とデータ出力配線 1 1 0 とが略同一となるように、出力遅延回路 1 1 2 と終段 F F 1 0 8 とは近傍に配置される。詳細には、出力遅延回路 1 1 2 は、出力遅延回路 1 1 2 の出力端の位置が、信号入出端子 1 0 6 の位置となるように配置される。また、終段 F F 1 0 8 は、データ入出端子 1 0 5 に対応してデータ入出端子 1 0 5 と等距離になるように配置される。このとき、終段 F F 1 0 8 から入出端子までの配線長と、出力遅延回路 1 1 2 の出力端子から信号入出端子 1 0 6 までの配線長は略同一とされる。本例では、出力遅延回路 1 1 2 が個々の信号入出端子に対応して設けられているため、配線 1 1 5 の縦方向（Y 方向）の配線長による誤差を含まないため、縦方向の配線を考慮することなく精度良くデジタルデータと出力ストロブ信号との *s k e w* をなくすることができる。

#### 【 0 0 7 3 】

また、信号入出端子 1 0 6 毎に出力遅延回路 1 1 2 を有するので、出力ストロブ信号を緻密に制御することが可能である。なお、信号出力配線 1 1 5 とデータ出力配線 1 1 0 とを完全に長長にすることが必要な場合には、計算量が増加するものの、信号出力配線 1 1 5 を引き廻す、またはデータ出力配線 1 1 0 を引き廻すことにより、それぞれの配線長を同等にすることができる。

#### 【 0 0 7 4 】

さらに、上記形態では信号入出端子 1 0 6 と終段 F F 1 0 8 との線状の配列の中間の領域に出力遅延回路 1 1 1 および出力遅延回路 1 1 2 を線状に配列することを例示したが、図 6 に示すように、信号入出端子 1 0 6 の線状の配列と終段 F F 1 0 8 の線状の配列と出力遅延回路 1 1 1 および出力遅延回路 1 1 2 の線状の配列とを順番に位置させることも可能である。

#### 【 0 0 7 5 】

当然ながら、図 7 に示すように、 $n$  個の出力遅延回路 1 1 2 と  $n$  個の信号入出端子 1 0 6 とを  $n$  個の信号出力配線 1 1 5 で結線する構造で、信号入出端子 1 0 6 の線状の配列と終段 F F 1 0 8 の線状の配列と入力遅延回路 1 1 1 および出力遅延回路 1 1 2 の線状の配列とを順番に位置させることも可能である。

#### 【 0 0 7 6 】

なお、実際には終段 F F 1 0 8 の回路サイズは出力遅延回路 1 1 2 より大幅に小さいため、図 7 に示すように、信号入出端子 1 0 6 の線状の配列と終段 F F 1 0 8 の線状の配列と入力遅延回路 1 1 1 および出力遅延回路 1 1 2 の線状の配列とを順番に位置させた場合、出力遅延回路 1 1 2 を信号入出端子 1 0 6 に極度に近接させることができる。この場合、信号出力配線 1 1 5 とデータ出力配線 1 1 0 とを略等長とすることができ、出力するデジタルデータと出力ストロブ信号との位相ズレを公差範囲とすることが可能である。

#### 【 0 0 7 7 】

また、上記形態ではデータ入出端子 1 0 5 と初段 F F 1 0 7 とをコ字形状に引き回したデータ入力配線 1 0 9 で接続するとともに、入力遅延回路 1 1 1 と初段 F F 1 0 7 もコ字形状に引き回した信号入力配線 1 1 8 で接続することを例示したが、図 8 に示すように、データ入力配線 1 0 9 と信号入力配線 1 1 8 とをクランク形状に形成することも可能であり、図 9 に示すように、データ入力配線 1 0 9 と信号入力配線 1 1 8 との一方をコ字形状に引き回すとともに他方をクランク形状に形成することも可能である。

#### 【 0 0 7 8 】

ただし、初段 F F 1 0 7 に対するデータ入力配線 1 0 9 と信号入力配線 1 1 8 との接続方向を同一とした方が、前述のように、その配線長を横方向のみで管理して同等とすることが容易である。しかし、初段 F F 1 0 7 に対するデータ入力配線 1 0 9 と信号入力配線 1 1 8 との接続方向を相反させた場合でも、一方の配線を必要により引き回すことなどで配線長を同等とすることは可能である。

#### 【 0 0 7 9 】

#### 【発明の効果】

本発明の第 1 のメモリコントロール装置では、 $m$  個のデータ出力端子ごとに  $m$

個の出力保持回路が個々に隣接されており、 $n$  個の信号出力端子ごとに  $n$  個の出力遅延回路が個々に隣接されていることにより、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストローク信号との遅延を同等とすることができるので、同時に出力するデジタルデータと出力ストローク信号とを正確に同期させることができる。

## 【 0 0 8 0 】

本発明の第 2 のメモリコントロール装置では、 $m$  個のデータ出力端子ごとに  $m$  個の出力保持回路が個々に隣接されており、 $n$  個の信号出力端子の  $a$  個ごとに  $(n/a)$  個の出力遅延回路が個々に隣接されていることにより、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストローク信号との遅延を同等とすることができるので、同時に出力するデジタルデータと出力ストローク信号とを正確に同期させることができる。

## 【 0 0 8 1 】

本発明の第 3 のメモリコントロール装置では、 $m$  個のデータ出力端子ごとに  $m$  個の出力保持回路が個々に隣接されており、 $n$  個の信号出力端子の 2 個ごとに  $(n/2)$  個の出力遅延回路が個々に隣接されていることにより、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストローク信号との遅延を同等とすることができるので、同時に出力するデジタルデータと出力ストローク信号とを正確に同期させることができる。

## 【 0 0 8 2 】

本発明の第 4 のメモリコントロール装置では、入力遅延回路が入力ストローク信号を出力する位置と信号入力端子との中間の位置に入力保持回路が配置されているので、データ入力端子から入力保持回路まで伝送されるデジタルデータと信

号入力端子から入力遅延回路までと入力遅延回路と入力保持回路までの遅延が同等であり、デジタルデータと入力ストロブ信号との間の *s k e w* をなくすことができる。

【 0 0 8 3 】

本発明の第 5 のメモリコントロール装置では、*m* 個のデータ入力配線と *m* 個の信号入力配線とが等長に形成されているので、データ入力端子から入力保持回路まで伝送されるデジタルデータと入力遅延回路から入力保持回路まで伝送される入力ストロブ信号との遅延が同等であり、デジタルデータと入力ストロブ信号とを正確に同期させることができる。

【図面の簡単な説明】

【図 1】

本発明のメモリコントロール装置の実施の形態の要部を示す模式的な平面図である。

【図 2】

他の要部を示す模式的な平面図である。

【図 3】

メモリコントロール装置の全体構造を示す模式的な平面図である。

【図 4】

メモリコントロール装置の要部の実際の回路レイアウトを示す平面図である。

【図 5】

メモリコントロール装置の第 1 の変形例の要部を示す模式的な平面図である。

【図 6】

メモリコントロール装置の第 2 の変形例の要部を示す模式的な平面図である。

【図 7】

メモリコントロール装置の第 3 の変形例の要部を示す模式的な平面図である。

【図 8】

メモリコントロール装置の第 4 の変形例の要部を示す模式的な平面図である。

【図 9】

メモリコントロール装置の第 5 の変形例の要部を示す模式的な平面図である。

【図 1 0】

従来例のメモリコントロール装置の全体構造を示す模式的な平面図である。

【図 1 1】

従来例のメモリコントロール装置の要部を示す模式的な平面図である。

【図 1 2】

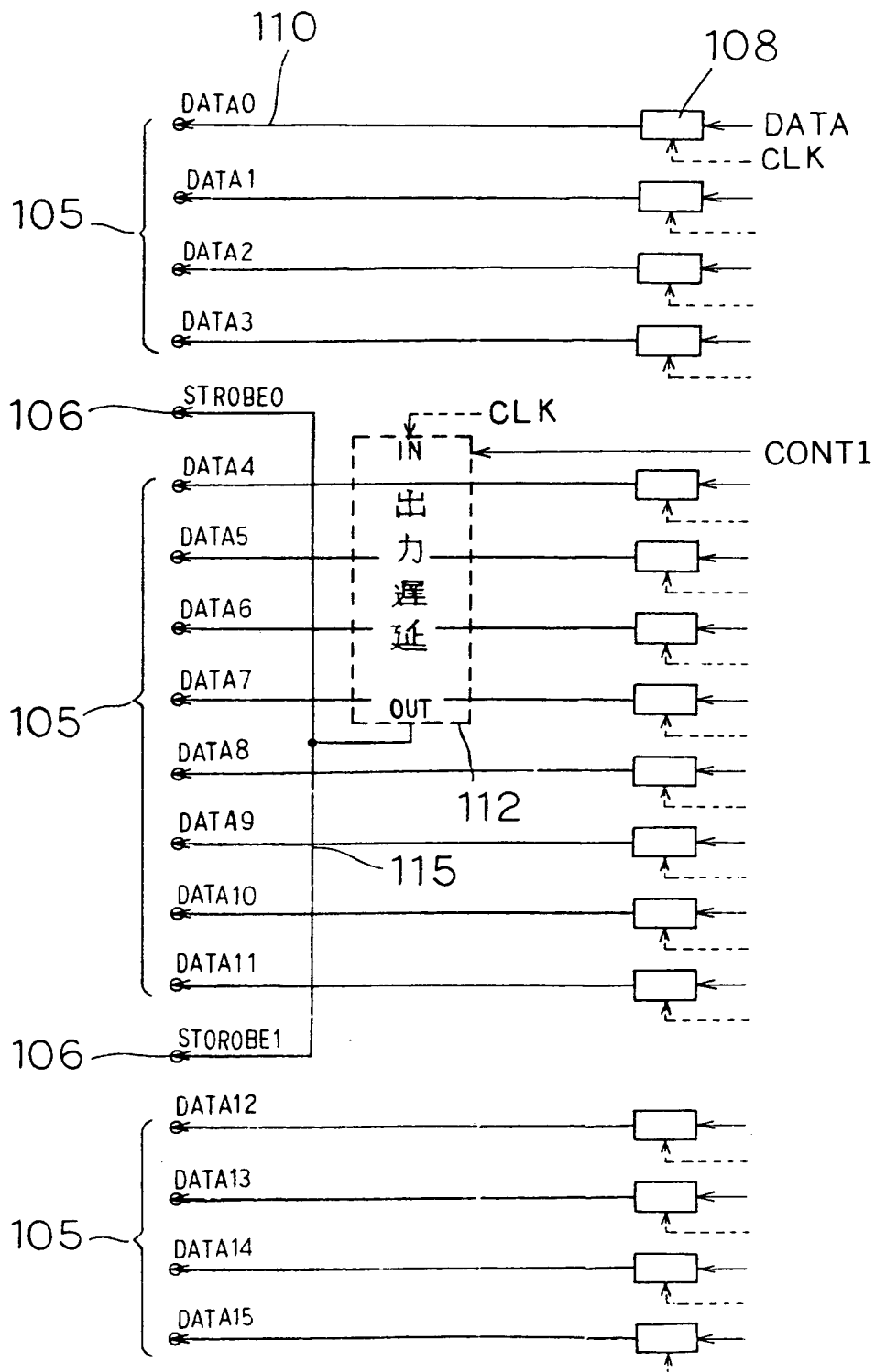
メモリコントロール装置の各種信号を示すタイムチャートである。

【符号の説明】

- 1 0 0      メモリコントロール装置
- 1 0 5      データ入力端子およびデータ出力端子を兼用したデータ入出端子
- 1 0 6      信号入力端子および信号出力端子を兼用した信号入出端子
- 1 0 7      入力保持回路である初段 F F
- 1 0 8      出力保持回路である終段 F F
- 1 0 9      データ入力配線
- 1 1 0      データ出力配線
- 1 1 1      入力遅延回路
- 1 1 2      出力遅延回路
- 1 1 8      信号入力配線
- 1 2 1      データ記憶回路
- 1 2 2      クロック発生回路
- 1 2 3      遅延調整回路

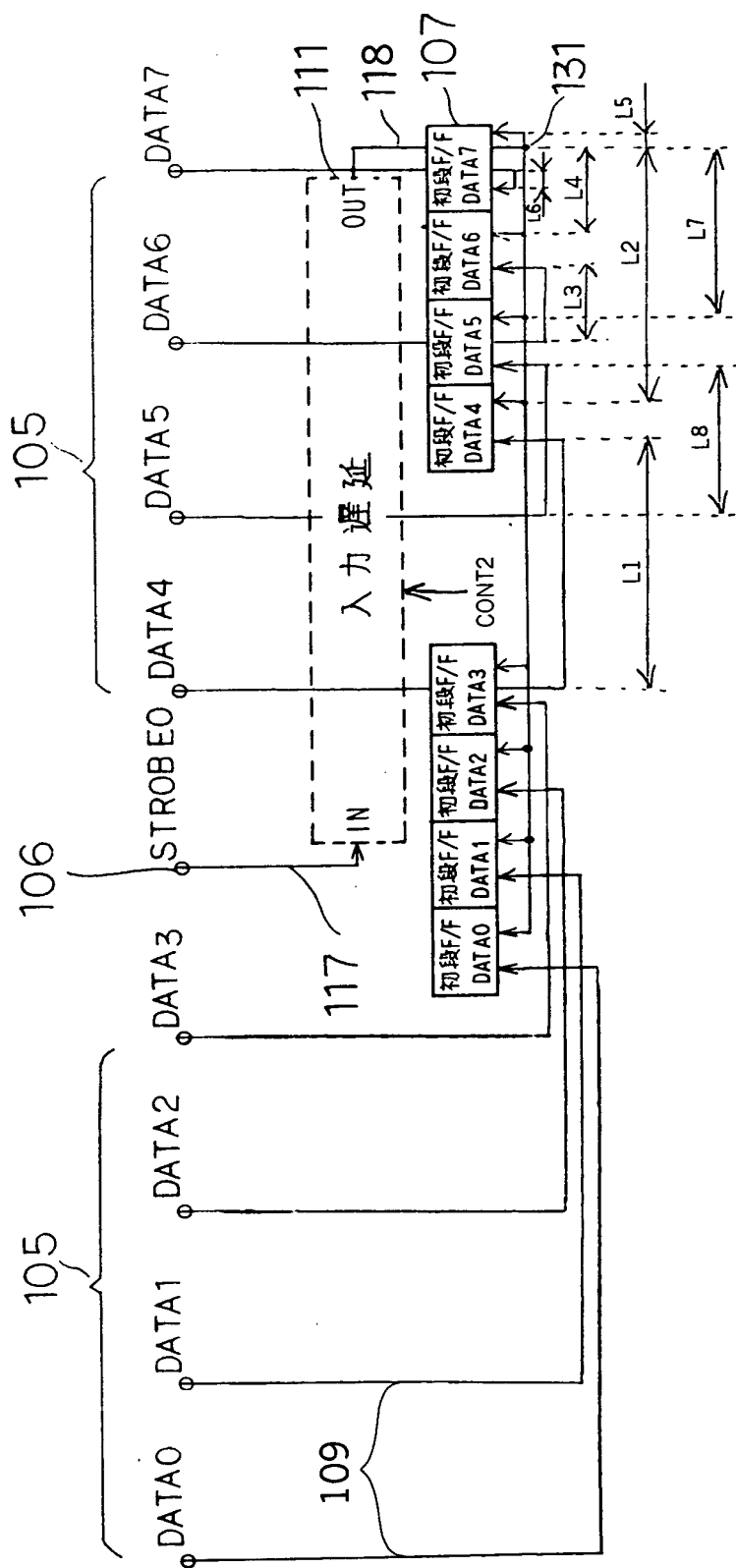
【書類名】 図面

【図 1】

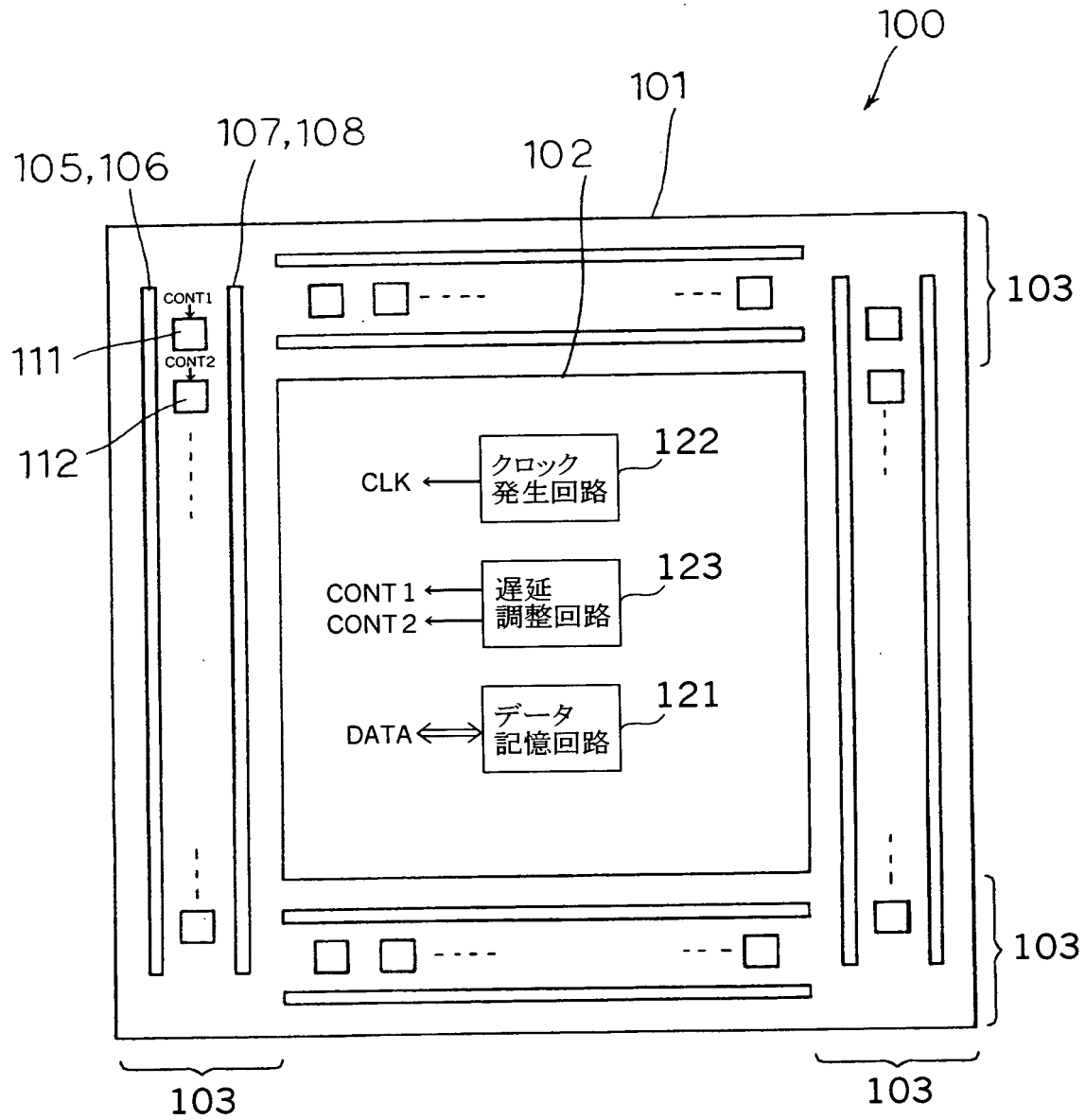




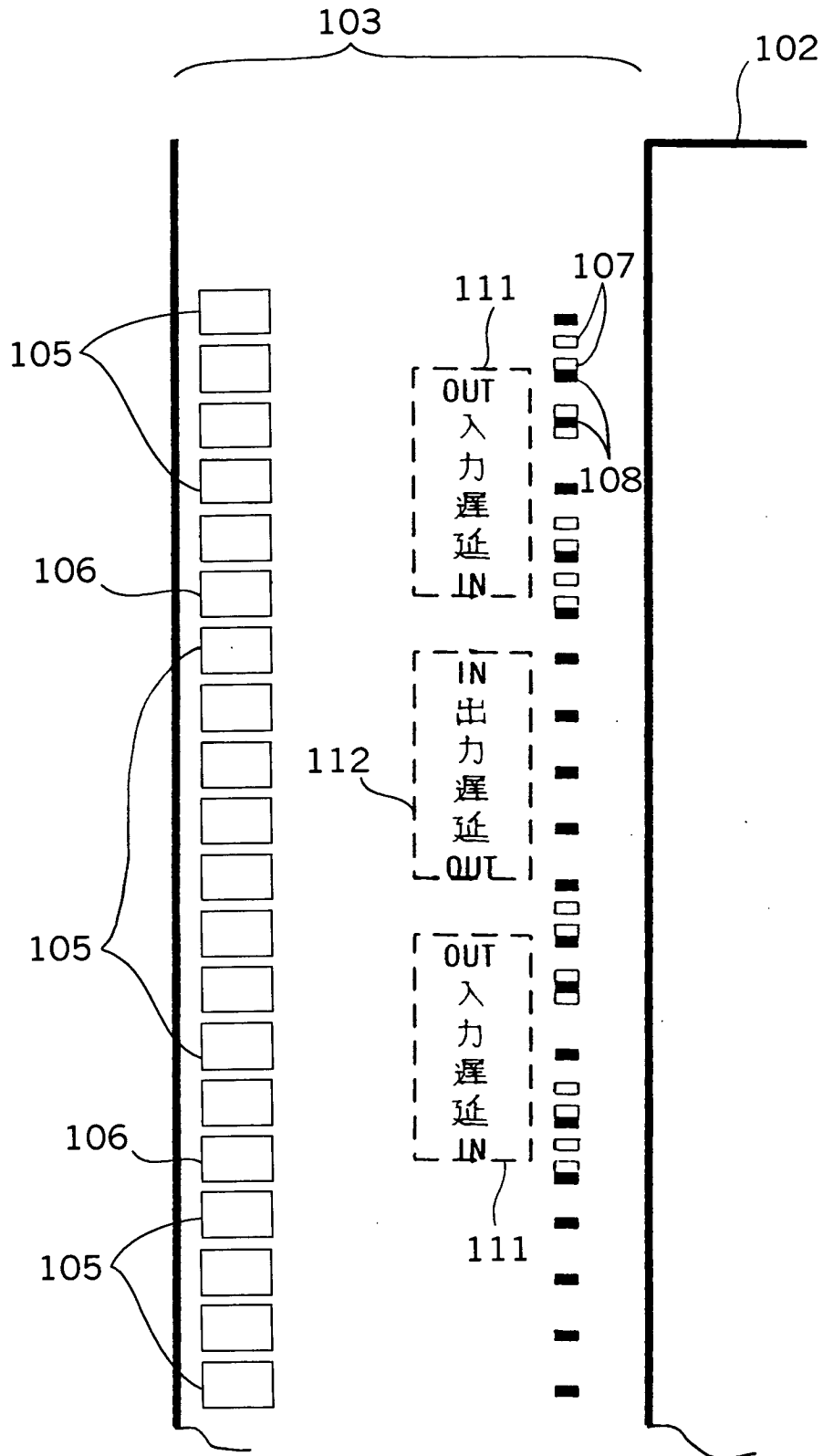
【図2】



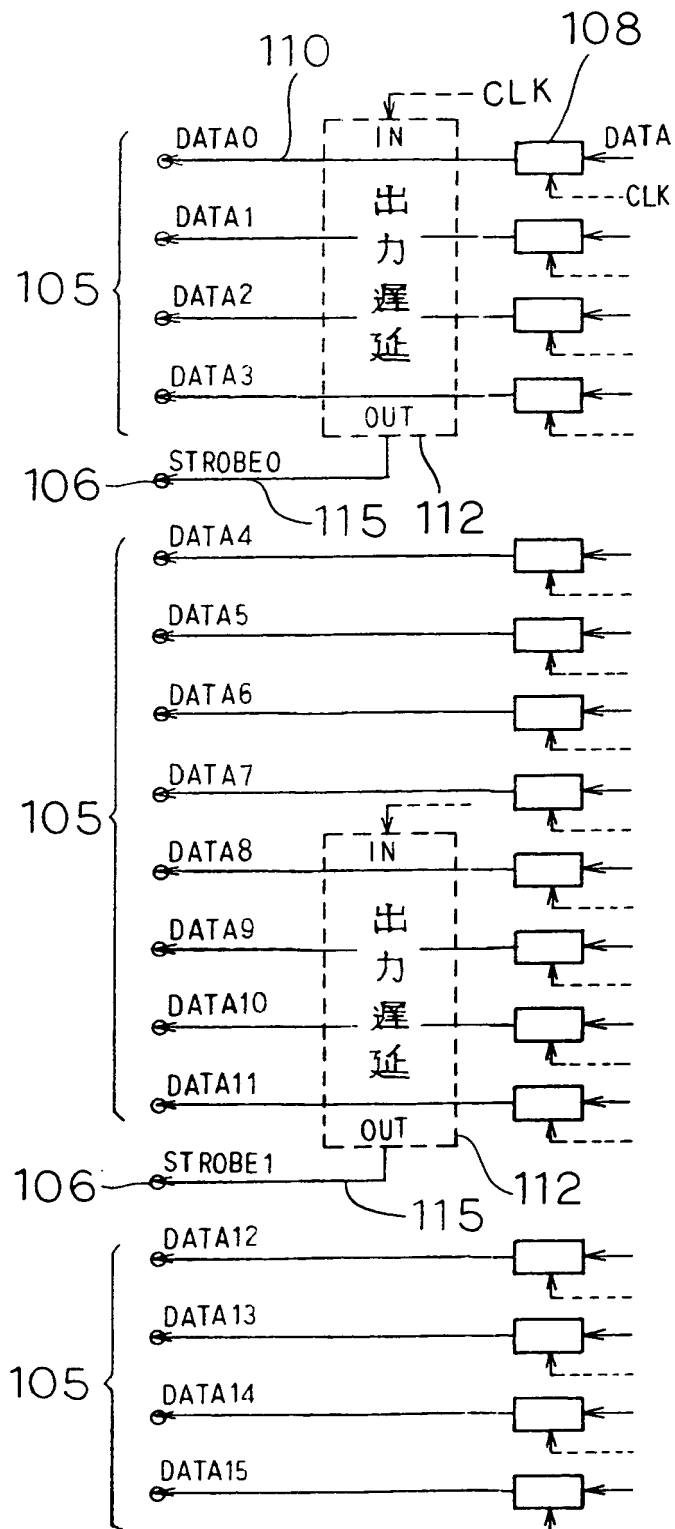
【図 3】



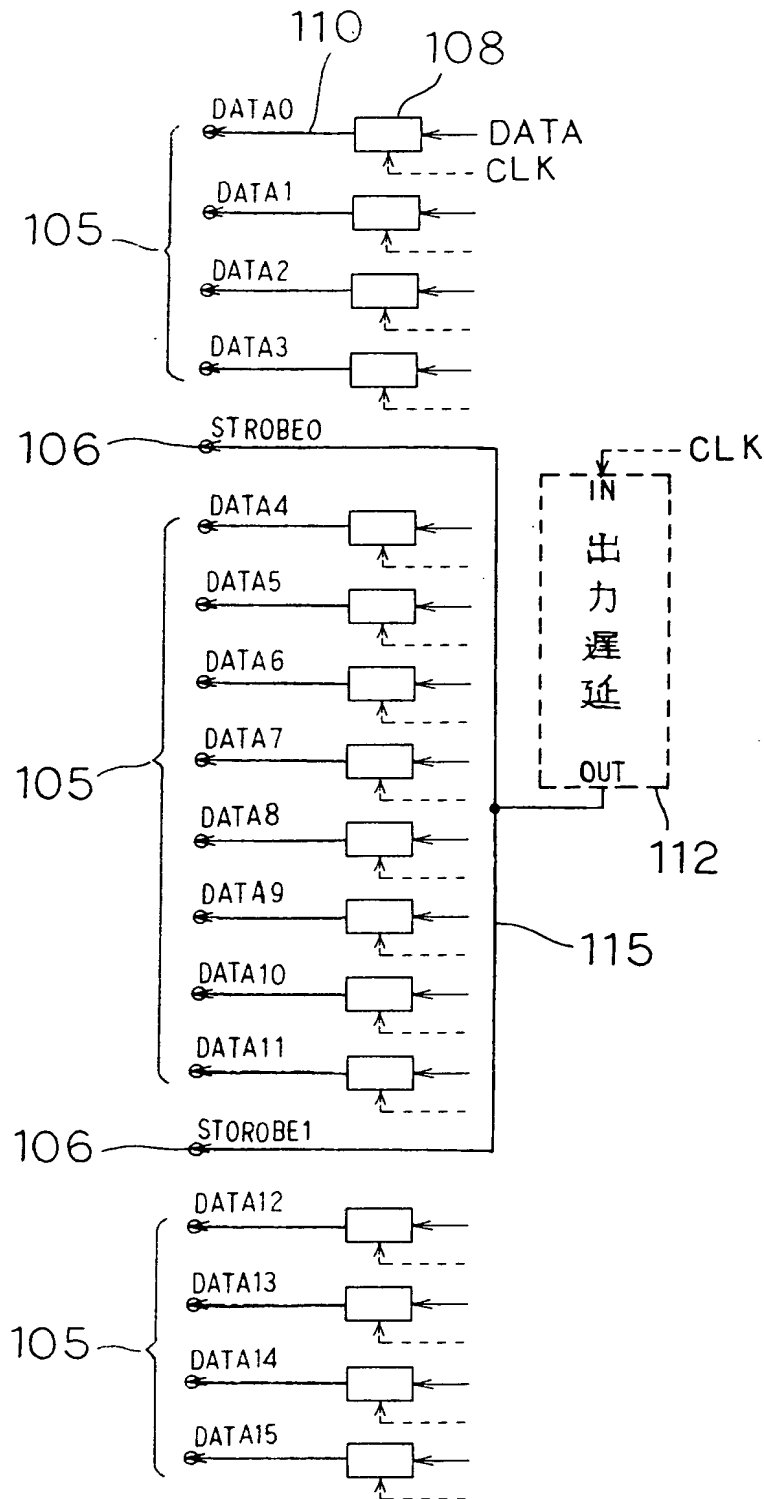
【図4】



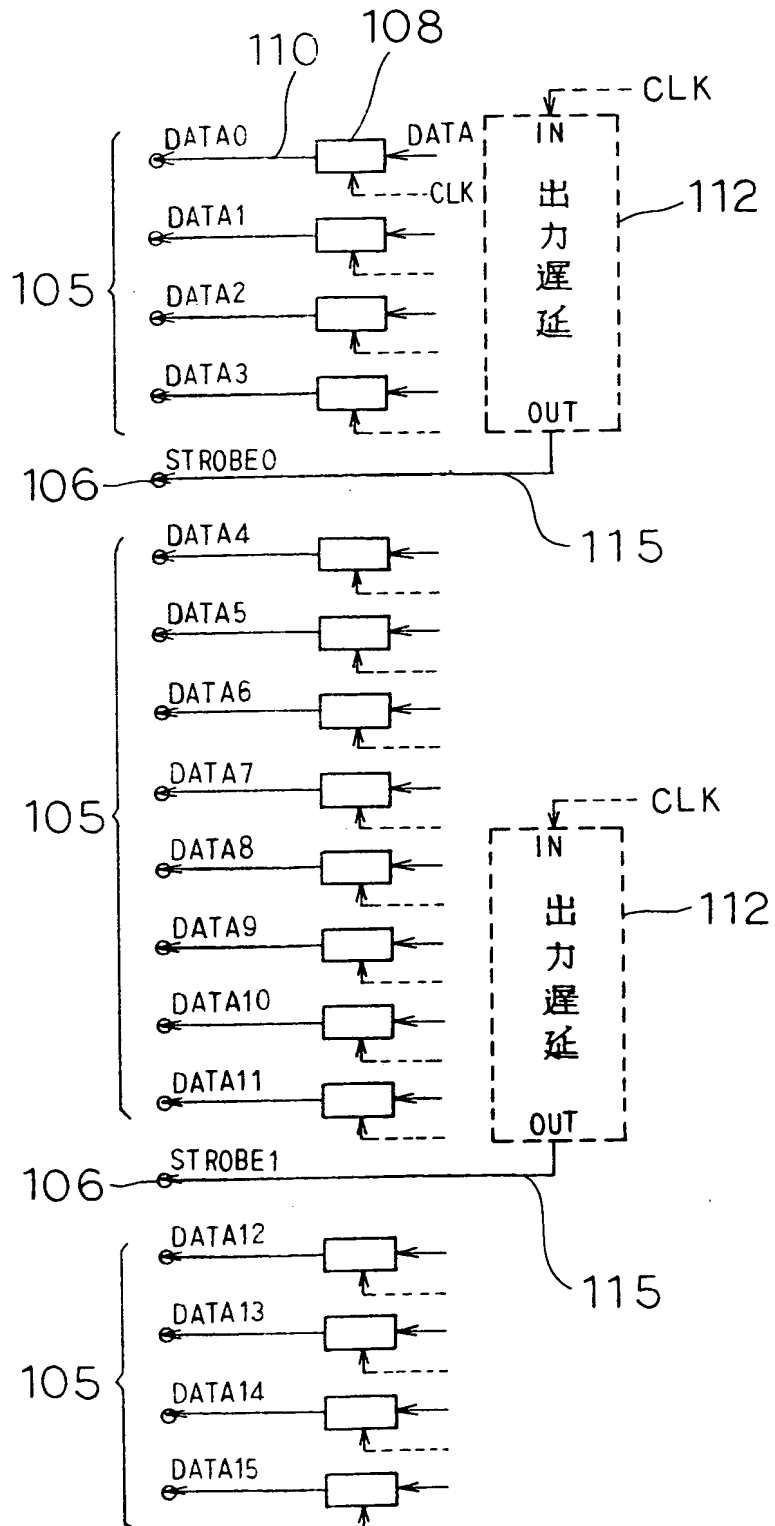
【図 5】



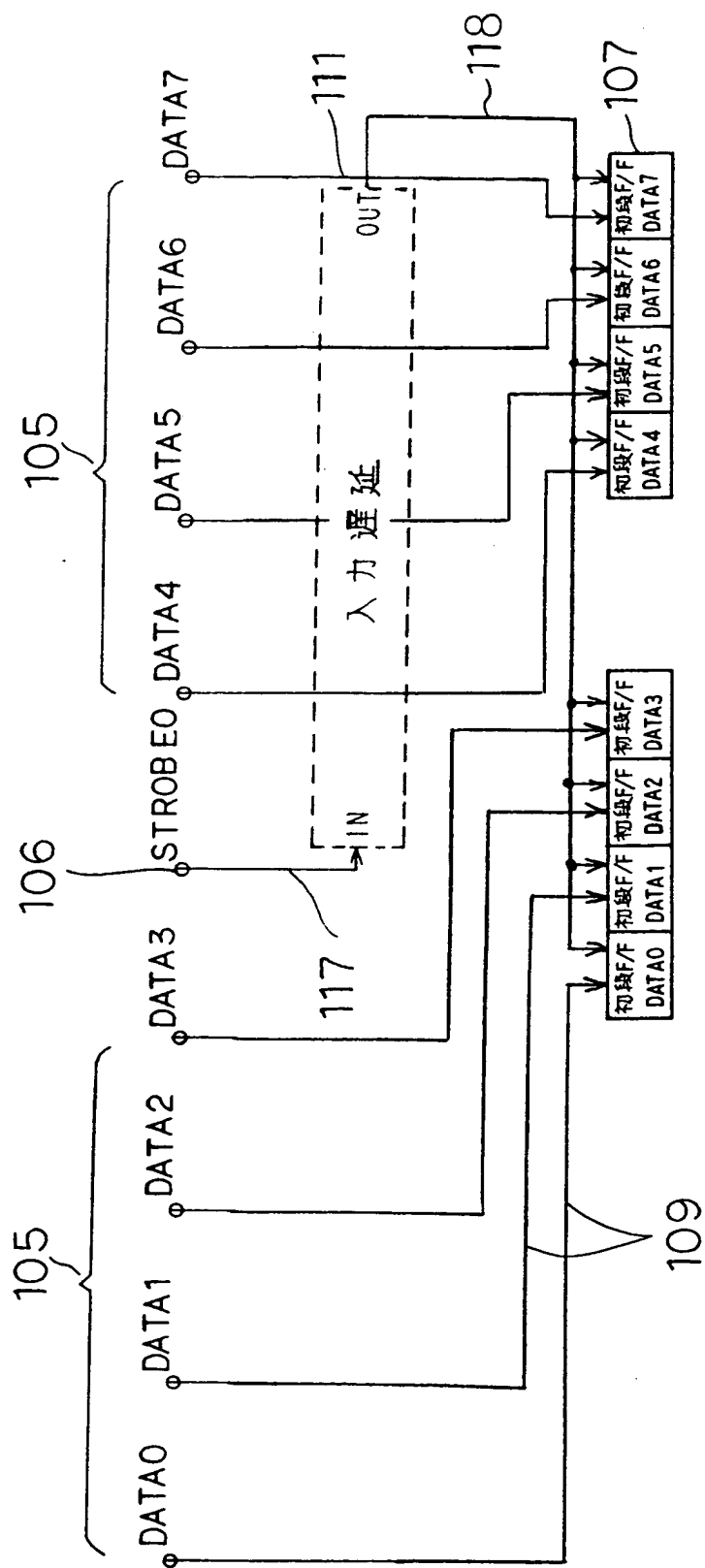
【図 6】



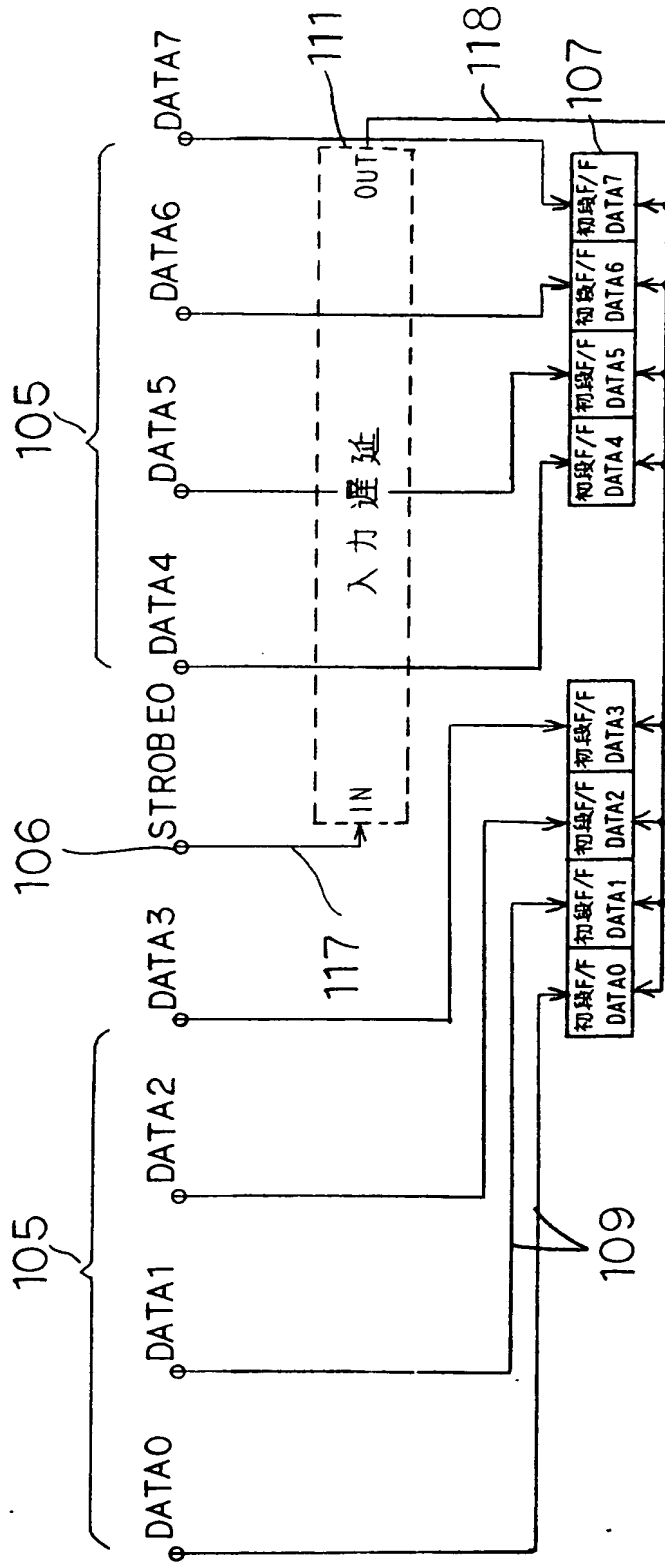
【図 7】



【図 8】

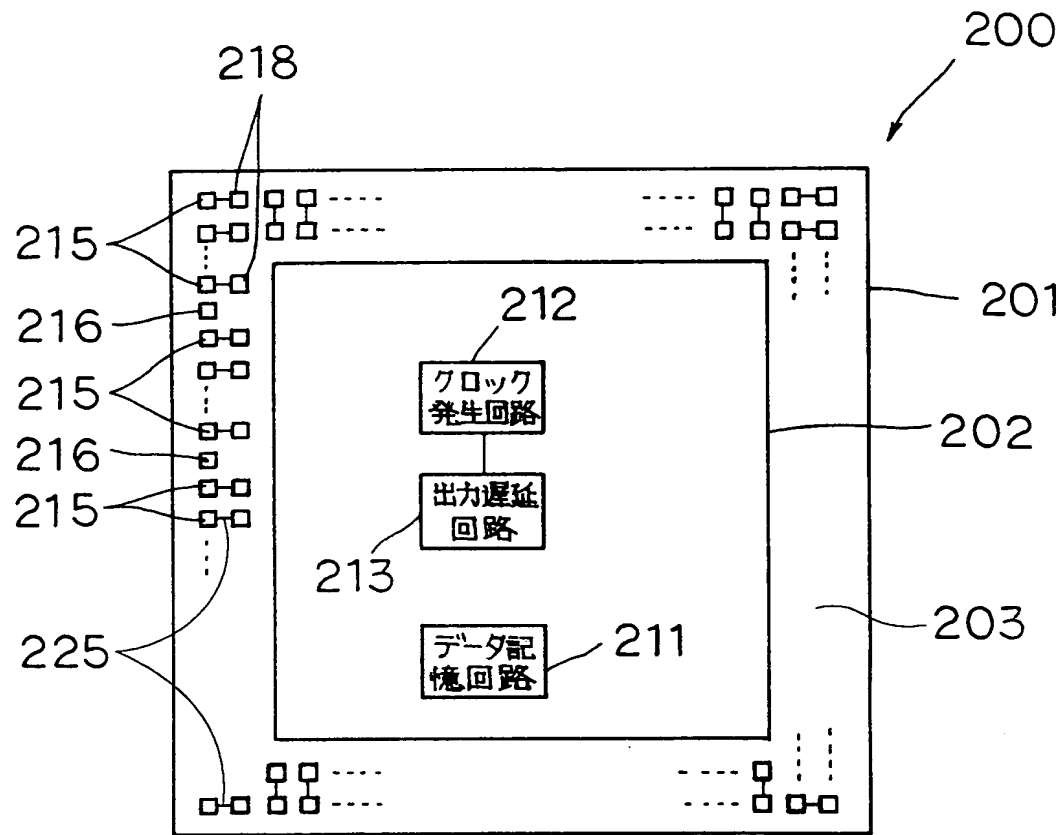


【図 9】

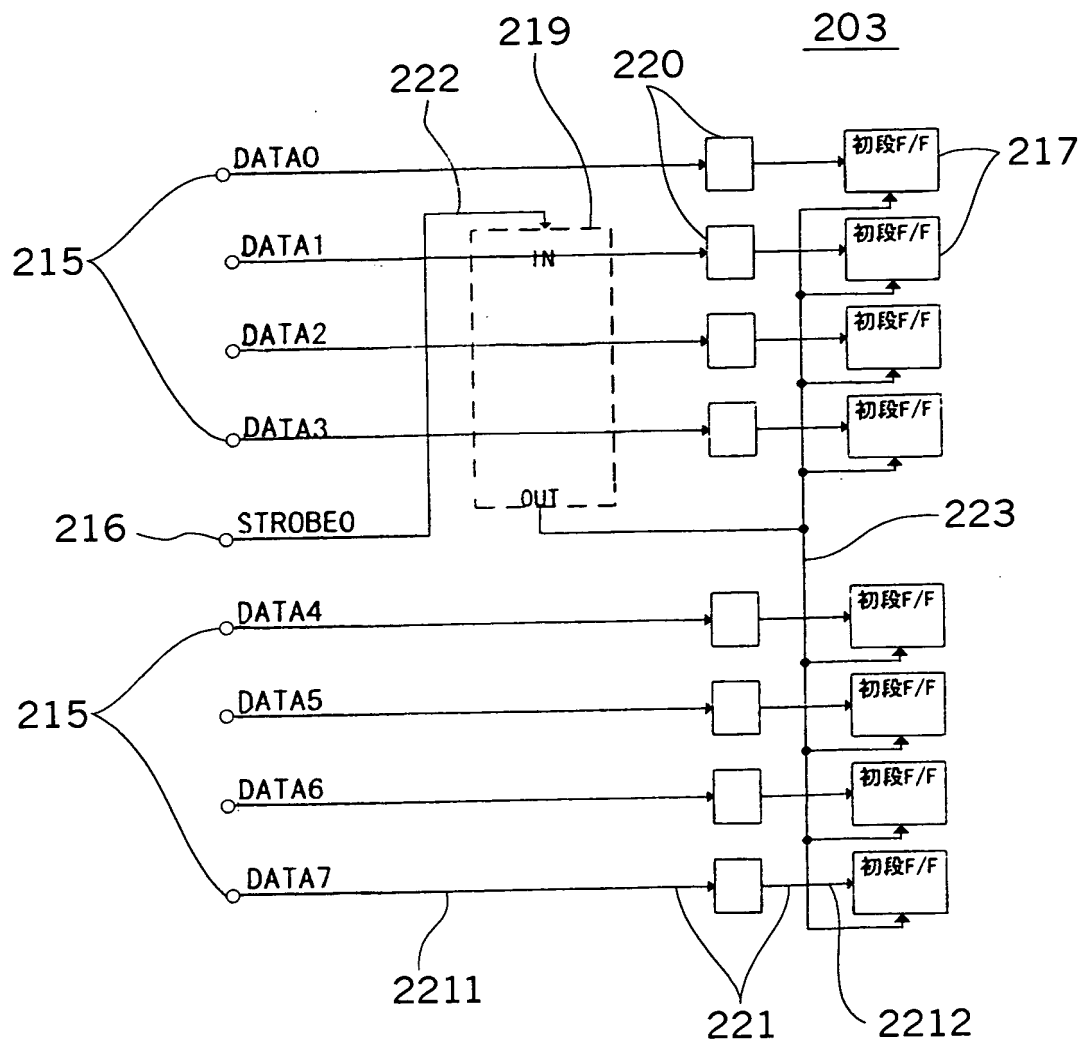




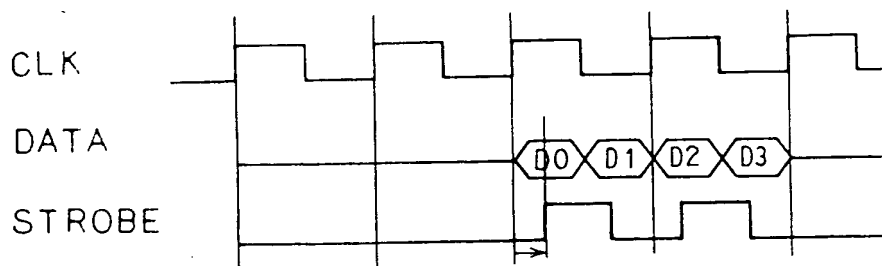
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 DDR-SDRAMなどにデジタルデータを入出力するメモリコントローラ装置において、クロック信号から生成するストローク信号とデジタルデータとを正確に同期させることができる半導体記憶装置を提供する。

【解決手段】 多数のデータ出力端子 1 0 5 ごとに多数の出力保持回路 1 0 8 が個々に隣接されており、 $n$  個の信号出力端子 1 0 6 の 2 個ごとに  $(n/2)$  個の出力遅延回路 1 1 2 が隣接されている。従って、出力保持回路 1 0 8 からデータ出力端子 1 0 5 までの配線長と出力遅延回路 1 1 2 から信号出力端子 1 0 6 までの配線長とを同等とし、出力保持回路 1 0 8 からデータ出力端子 1 0 5 まで伝送されるデジタルデータと出力遅延回路 1 1 2 から信号出力端子 1 0 6 まで伝送される出力ストローク信号との遅延を同等とすることができる。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 74310410

【提出日】 平成15年 1月27日

【あて先】 特許庁長官 殿

【事件の表示】

    【出願番号】 特願2002-287331

【承継人】

    【識別番号】 302062931

    【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

    【識別番号】 100088328

    【弁理士】

    【氏名又は名称】 金田 暢之

    【電話番号】 03-3585-1882

【提出物件の目録】

    【物件名】 承継人であることを証明する登記簿謄本 1

    【援用の表示】 平成 1 5 年 1 月 1 0 日 提出の特願 2 0 0 2 - 3 1 8 4 8  
8 の出願人名義変更届に添付のものを援用する。

    【物件名】 承継人であることを証明する承継証明書 1

    【援用の表示】 平成 1 5 年 1 月 2 0 日 提出の特願 2 0 0 2 - 3 1 5 7 3  
5 の出願人名義変更届に添付のものを援用する。

    【包括委任状番号】 0216444

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社